

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-342566

(43)Date of publication of application : 13.12.1994

(51)Int.CI.

G11B 20/14
H03L 7/10

(21)Application number : 05-130332

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 01.06.1993

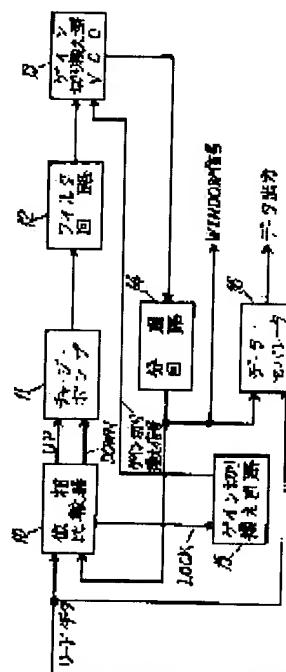
(72)Inventor : IIJIMA YUKIO

(54) DATA SEPARATOR CIRCUIT

(57)Abstract:

PURPOSE: To provide a data separator circuit to be constituted of one system filter circuit.

CONSTITUTION: This data separator circuit is constituted of a phase comparator 10, a charge pump 11, a filter circuit 12, a gain switching type voltage control oscillation circuit(VCO) 13, a frequency devider circuit 14, a gain switching circuit 15 and a data separator 16 and thus, the filter circuit is realized by one system whereas two are necessary at conventional circuits. A gain switching is realized by receiving a gain switching signal outputted when it is synchronized with the one from the gain switching circuit 15 at the gain switching type VCO 13 and switching the characteristic of the change of the oscillation frequency of the gain switching type VCO 13 against a control voltage.



LEGAL STATUS

[Date of request for examination]

29.08.1997

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3146765

[Date of registration]

12.01.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-342566

(43) 公開日 平成6年(1994)12月13日

(51) Int.Cl.⁵

G 1 1 B 20/14
H 0 3 L 7/10

識別記号 庁内整理番号

3 5 1 A 7736-5D

9182-5J

F I

H 0 3 L 7/ 10

技術表示箇所

Z

審査請求 未請求 請求項の数2 O L (全 6 頁)

(21) 出願番号 特願平5-130332

(22) 出願日 平成5年(1993)6月1日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 飯島 行雄

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

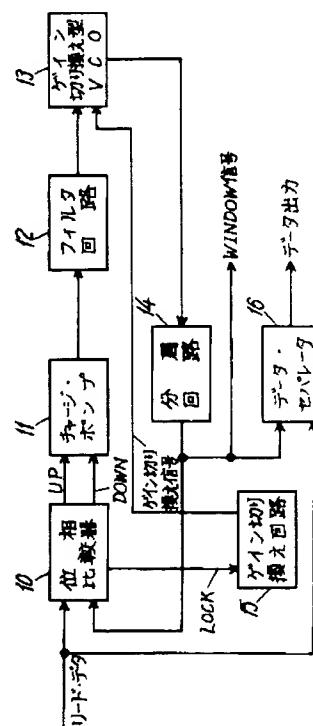
(74) 代理人 弁理士 小鏡治 明 (外2名)

(54) 【発明の名称】 データセパレート回路

(57) 【要約】

【目的】 1系統のフィルタ回路で構成できるデータセパレート回路を提供する。

【構成】 データセパレート回路を位相比較器10、チャージ・ポンプ11、フィルタ回路12、ゲイン切り換え型電圧制御発振回路(VCO)13、分周回路14、ゲイン切り換え回路15、データ・セパレータ16で構成することにより、従来回路で2種類あったフィルタ回路を1系統で実現した。ゲインの切り換えは、ゲイン切り換え回路15からの同期した場合に出力されるゲイン切り換え信号をゲイン切り換え型VCO13で受け、ゲイン切り換え型VCO13のコントロール電圧に対する発振周波数の変化の特性を切り換えることで実現する。



【特許請求の範囲】

【請求項1】 フロッピー・ディスク・ドライブからのリード・データと電圧制御発振回路の出力を比較する位相比較器と、前記位相比較器からの信号でフィルタ回路を駆動するチャージ・ポンプと、前記チャージ・ポンプからの充放電を電圧レベルに変換する1系統のフィルタ回路と、前記リード・データと前記電圧制御発振回路の出力とが非同期または同期した場合の特性を切り換えるゲイン切り換え回路と、前記チャージ・ポンプの出力の電圧レベルに応じた周波数で発振し、前記ゲイン切り換え回路からのゲイン切り換え信号により電圧レベルに対する発振周波数の特性を切り換えることのできるゲイン切り換え型電圧制御発振回路と、を備えたことを特徴とするデータセパレート回路。

【請求項2】 ゲイン切り換え型電圧制御発振回路が、コントロール電圧が入力されリングオシレータに流れる電流を制御する複数の大きさの異なるトランジスタと、前記複数のトランジスタのいずれかを選択するトランジスタと、前記リングオシレータのインバータの遅延値を決める負荷容量と、前記負荷容量を切り換えるトランジスタと、を備えたゲイン切り換え型電圧制御発振回路であることを特徴とする請求項1記載のデータセパレート回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は1系統のフィルタ回路で複数のゲインを持つデータセパレート回路に関するものである。

【0002】

【従来の技術】 近年、種々の回路で回路削減、部品点数の削減が望まれており、データセパレート回路にても同様である。

【0003】 以下に従来のデータセパレート回路について説明する。図4は従来のデータセパレート回路のブロック図を示すものである。図4において、1は位相比較器である。2はチャージ・ポンプで、3はフィルタ回路、4は電圧制御発振回路（以下VCOと称す）、5は分周回路、6はゲイン切り換え回路、7はデータ・セパレータ、8は高速用フィルタ回路、9は低速用フィルタ回路である。

【0004】 以上のように構成された従来のデータセパレート回路について、以下にその動作について説明する。

【0005】 フロッピー・ディスク・ドライブより読み出されたフロッピー・ディスクのデータは非同期の信号であり、この信号に同期させてリード信号を読みこむためのウインドウ信号が必要となる。このウインドウ信号を作り出すためにPLL回路を用い非同期の信号に同期させる必要があり、位相比較器1、チャージ・ポンプ2、フィルタ回路3、VCO4、分周回路5でPLLを

構成し、位相比較器1でリード・データとVCO4の分周回路5にて分周した出力を比較し、リード・データとVCO4の出力の位相がリード・データの方が速ければチャージ・ポンプ2にUP（アップ）の信号を出力し、チャージ・ポンプ2ではUPの信号が入力されるとフィルタ回路3に充電をするように電流をはきだす。フィルタ回路3は充電されるとフィルタ回路3の出力電圧レベルが上昇し、VCO4のコントロール電圧も上昇し発振周波数も上昇する。また位相比較器1よりDOWN（ダウン）信号が出力された場合チャージ・ポンプ2ではフィルタ回路3の電荷を放電するように電流を引き込み、そのことによりフィルタ回路3の出力電圧レベルが下がり、VCO4のコントロール電圧も下がるためVCO4の発振周波数も下がる。

【0006】 このようにしてフロッピー・ディスクからの非同期な信号に同期させるような信号を作り出す。また同期させるまでは、すばやくリード・データに同期させるため1回のUPまたはDOWN信号でのVCO4の発振周波数の変化を大きくするために高速用フィルタ8を用い電圧レベルの変化を大きくしている。しかし一度同期したならばフロッピー・ディスク・ドライブの回転ムラに起因する変動に対してのみ追従しヒーク・シフトには追従させないために低速用フィルタ9の2種類のフィルタ回路が必要となる。

【0007】 フィルタ回路の切り換えはゲイン切り換え回路6からの同期した場合に出力されるゲイン切り換え信号をチャージ・ポンプ2で受け高速用フィルタもしくは低速用フィルタのどちらの回路を充電または放電するかを切り換えゲインを切り換えている。データ・セパレータ7はリードデータに同期することによってできるウインドウ信号をもとにリード・データを出力するとともに変調のかかったリード・データからクロックパルスを除去しデータだけのかたちにする。

【0008】

【発明が解決しようとする課題】 しかしながら前記の従来の構成では、VCOの特性が固定であるので、フィルタ回路が高速用と低速用の2種類必要であるという課題を有していた。

【0009】 本発明は前記従来の課題を解決するもので、フィルタ回路を1系統で実現できるデータセパレート回路を提供することを目的とする。

【0010】

【課題を解決するための手段】 前記従来の課題を解決するため本発明のデータセパレート回路は、以下のよう構成を有している。すなわち、フロッピー・ディスク・ドライブからのリード・データと電圧制御発振回路の出力を比較する位相比較器と、前記位相比較器からの信号

号でフィルタ回路を駆動するチャージ・ポンプと、前記チャージ・ポンプからの充放電を電圧レベルに変換する1系統のフィルタ回路と、前記リード・データと前記電圧制御発振回路の出力とが非同期または同期した場合の特性を切り換えるゲイン切り換え回路と、前記チャージ・ポンプの出力の電圧レベルに応じた周波数で発振し、前記ゲイン切り換え回路からのゲイン切り換え信号により電圧レベルに対する発振周波数の特性を切り換えることのできるゲイン切り換え型電圧制御発振回路とを備えたことを特徴とする。そしてゲイン切り換え型電圧制御発振回路が、コントロール電圧が入力されリングオシレータに流れる電流を制御する複数の大きさの異なるトランジスタと、前記複数のトランジスタのいずれかを選択するトランジスタと、前記リングオシレータのインバータの遅延値を決める負荷容量と、前記負荷容量を切り換えるトランジスタとを備えたゲイン切り換え型電圧制御発振回路であることを特徴とする。

【0011】

【作用】前記構成によって、同期するまでの高ゲインでの位相合わせのための高速用フィルタ回路、同期後のピークシフトに追従しないための低ゲインの低速用フィルタ回路の2種類のフィルタ回路が1系統のゲイン特性のフィルタ回路で構成することができる。

【0012】

【実施例】以下本発明の一実施例について、図面を参照しながら説明する。

【0013】図1は本発明の第1の実施例におけるデータセパレート回路のブロック図を示すものである。図1において、10は位相比較器、11はチャージ・ポンプ、12はフィルタ回路、13はゲイン切り換え型VCO、14は分周回路、15はゲイン切り換え回路、16はデータ・セパレータである。

【0014】以上のように構成されたデータセパレート回路について、以下にその動作を説明する。

【0015】ウインドウ信号を作り出すために位相比較器10、チャージ・ポンプ11、フィルタ回路12、ゲイン切り換え型VCO13、分周回路14でPLLを構成し、位相比較器10でリード・データとゲイン切り換え型VCO13の分周回路14にて分周した出力とを比較し、リード・データとゲイン切り換え型VCO13の出力の位相がリード・データの方が速ければチャージ・ポンプ11にUPの信号を出力し、チャージ・ポンプ11ではUPの信号が入力されると電流をはきだしフィルタ回路12に充電をする。フィルタ回路12は充電されるとフィルタ回路12の出力電圧レベルが上昇し、ゲイン切り換え型VCO13のコントロール電圧も上昇し発振周波数も上昇する。また位相比較器10よりDOWN信号が出力された場合チャージ・ポンプ11では電流を引き込みフィルタ回路12の電荷を放電することでフィルタ回路12の出力電圧レベルが下がり、ゲイン切り換

え型VCO13のコントロール電圧も下がるためゲイン切り換え型VCO13の発振周波数も下がる。

【0016】このようにしてフロッピー・ディスクからの非同期な信号に同期させるような信号を作り出す。また同期させるまでは、すばやくリード・データに同期させるため1回のUPまたはDOWN信号でのゲイン切り換え型VCO13の発振周波数の変化を大きくするため電圧レベルの変化に対してのゲイン切り換え型VCO13の発振周波数の変化を大きくなるような特性(図2の17のような特性)を選択する。しかし1度同期したならばフロッピー・ディスク・ドライブの回転ムラに起因する変動に対してのみ追従し、ピーク・シフトには追従させないために1回のUPまたはDOWN信号で変化する電圧レベルの変化が同期させる場合と同じでもゲイン切り換え型VCO13の電圧変化に対する発振周波数の変化を小さくする特性(図2の18のような特性)を選択することで、従来回路の2種類あったフィルタ回路が1系統で実現できる。

【0017】このゲインの切り換えは、ゲイン切り換え回路15からの同期した場合に输出されるゲイン切り換え信号をゲイン切り換えVCO13で受け、ゲイン切り換え型VCO13のコントロール電圧に対する発振周波数の変化の特性を切り換えることで実現する。データ・セパレータ16はリード・データに同期することによってできるウインドウ信号をもとにリード・データを出力するとともに変調のかかったリード・データからクロックパルスを除去しデータだけのかたちにする。

【0018】次に第2の実施例として、前記回路を実現するゲイン切り換え型VCO13について図面を参照しながら説明する。図3はゲイン切り換え型VCO13の構成を示す図である。

【0019】図3で、Pチャンネルトランジスタ19と、Nチャンネルトランジスタ20とでインバータ回路を構成している。Pチャンネルトランジスタ21とNチャンネルトランジスタ22、Pチャンネルトランジスタ23とNチャンネルトランジスタ24も同様である。またこの3つのインバータでリングオシレータを構成している。サイズの小さいPチャンネルトランジスタ25、サイズの大きいPチャンネルトランジスタ26は固定トランジスタであり、各インバータに流れる電流をコントロール電圧によって制御するためのものであり、Nチャンネルトランジスタ27、28、Nチャンネルトランジスタ29～31とでカレントミラー回路を構成しており、各トランジスタに流れる電流を同じにするためである。Pチャンネルトランジスタ32とPチャンネルトランジスタ33～35でもカレントミラー回路を構成している。コンデンサ36～41はリングオシレータの各インバータの負荷容量であり、遅延値を調整する。Pチャンネルトランジスタ42、Nチャンネルトランジスタ43は固定トランジスタのサイズを選択するためのスイッ

チとしてのトランジスタである。Nチャンネルトランジスタ44～46はリングオシレータの負荷容量を変化させるためのスイッチングトランジスタである。

【0020】前記構成にてリード・データに同期するまでのゲインの高い特性を用いる場合はゲイン切り換え信号が“L”であり、Pチャンネルトランジスタ42がオンし、固定トランジスタはサイズの小さいPチャンネルトランジスタ25が選択され、リングオシレータの負荷容量は、Nチャンネルトランジスタ44～46がオフ状態となるために、コンデンサ36～38だけとなり、図2に示す高速時特性17のような特性となる。またリード・データに同期したあとの低速時の動作はゲイン切り換え信号が“H”となり、Pチャンネルトランジスタ42がオフし、かわりにNチャンネルトランジスタ43がオンとなって、固定トランジスタはサイズの大きいPチャンネルトランジスタ26が選択され、リングオシレータの負荷容量はNチャンネルトランジスタ44～46がオン状態となるために、コンデンサ36～41の各コンデンサの容量値が付加され、図2に示す低速時特性18となり、ゲイン切り換え信号により、コントロール電圧に対する発振周波数の変化の特性を選択でき、図1に示す回路が構成できるものである。

【0021】以上のように本実施例によれば、ゲイン切り換え型VCOを設けることにより、高速用と低速用の2種類のフィルタ回路を用いざとも、1系統のフィルタ回路でデータセパレート回路を実現することができ、データセパレート回路を半導体装置に集積する場合には特に有益となる。

【0022】

【発明の効果】以上のように本発明はゲイン切り換え型VCOを設けることにより、フィルタ回路を1系統で実

現することができる優れたデータセパレート回路を実現できるものである。

【図面の簡単な説明】

【図1】本発明の一実施例におけるデータセパレート回路のブロック図

【図2】本発明の一実施例におけるゲイン切り換え型VCOの特性図

【図3】本発明の一実施例におけるゲイン切り換え型VCOの回路図

10 【図4】従来のデータセパレート回路のブロック図

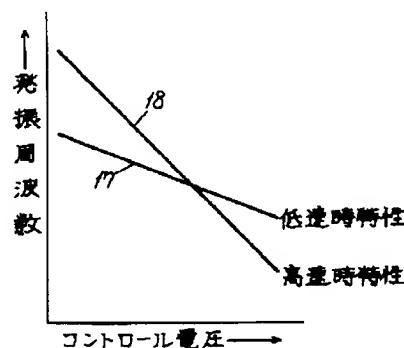
【符号の説明】

- 1 位相比較器
- 2 チャージ・ポンプ
- 3 フィルタ回路
- 4 電圧制御発振回路 (VCO)
- 5 分周回路
- 6 ゲイン切り換え回路
- 7 データ・セパレータ
- 8 高速用フィルタ回路
- 9 低速用フィルタ回路

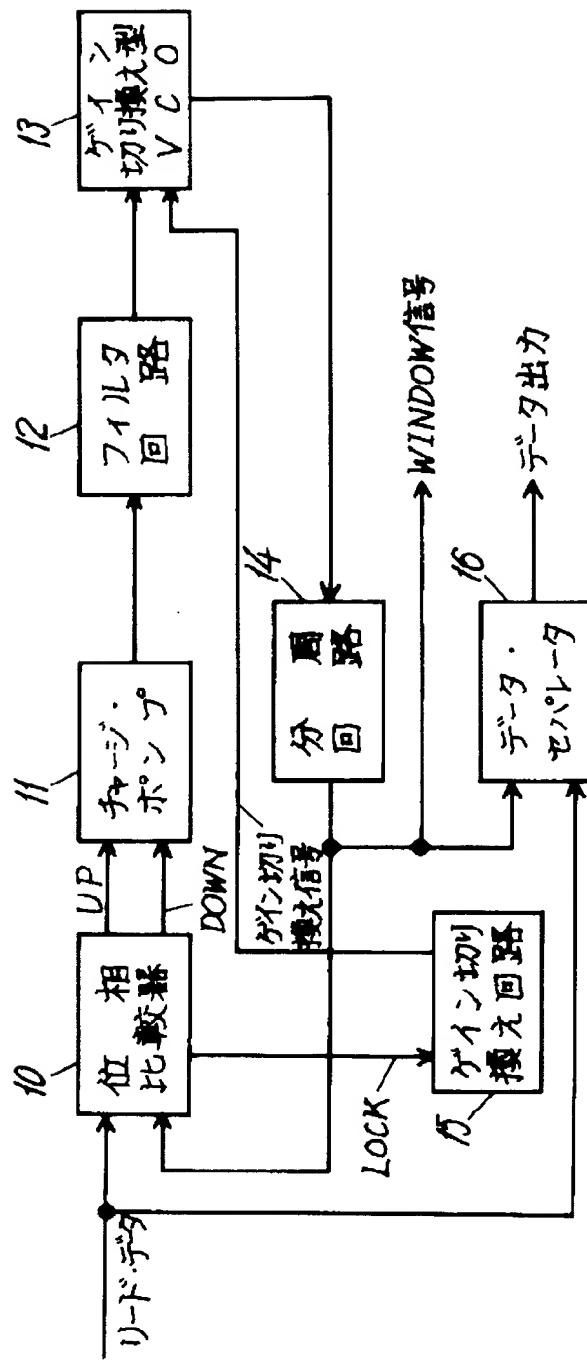
- 10 位相比較器
- 11 チャージ・ポンプ
- 12 フィルタ回路
- 13 ゲイン切り換え型VCO
- 14 分周回路
- 15 ゲイン切り換え回路
- 16 データ・セパレータ
- 17 高速時特性
- 18 低速時特性

- 20 25 サイズの小さいPチャンネルトランジスタ
- 26 サイズの大きいPチャンネルトランジスタ

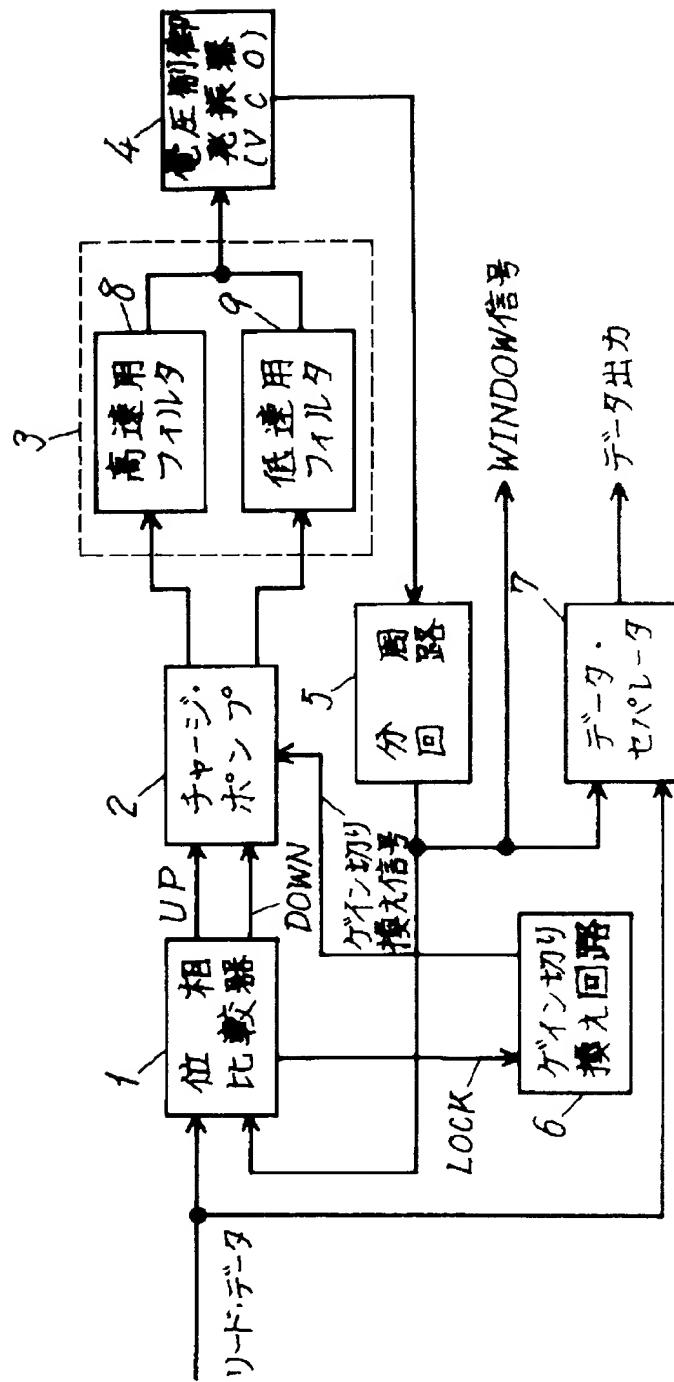
【図2】



【図1】



【図4】



【図3】

